

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **56021371 A**

(43) Date of publication of application: **27.02.81**

(51) Int. Cl

H01L 29/78
H01L 27/08
H01L 29/08
H01L 29/60

(21) Application number: **54096947**

(22) Date of filing: **30.07.79**

(71) Applicant: **FUJITSU LTD**

(72) Inventor: **ITO TAKASHI**

(54) **RECIPROCAL COMPENSATION TYPE MIS SEMICONDUCTOR DEVICE**

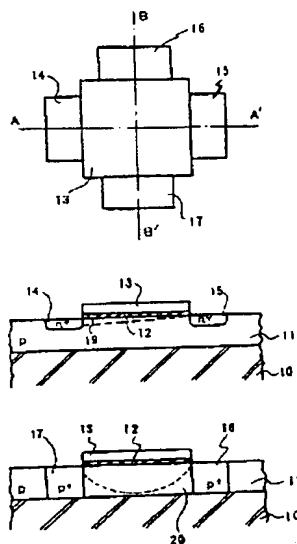
all the FETs so as to enable them to conduct enhancement.

(57) Abstract:

COPYRIGHT: (C)1981,JPO&Japio

PURPOSE: To reduce element occupancy area remarkably, by forming a common gate section for two elements of a reciprocal compensation type MIS device using a process which is simple and easy to be controlled.

CONSTITUTION: A p epitaxial layer 11 is provided and an n⁺-type source 14, a drain 15, a p⁺-type source 16 and a drain 17 are selectively formed, and then, a common gate insulation film 12 and a gate electrode 13 are provided. A reversal channel 19 is formed between the layers 14 and 15 in accordance with voltages impressed on the p layer 11, the gate electrode 13, the source 14 and the drain 15. At this time, positive voltage is impressed onto the gate 13. As the space between the source 16 and the drain is in depletion at this time, if negative voltage is impressed onto the gate electrode 13, an embedded channel 20 is formed and connected by the voltage impressed on the space between the layers 16 and 17. It is possible, by using this mechanism, to minimize an element occupancy area, to heighten integration and also to easily set threshold values of

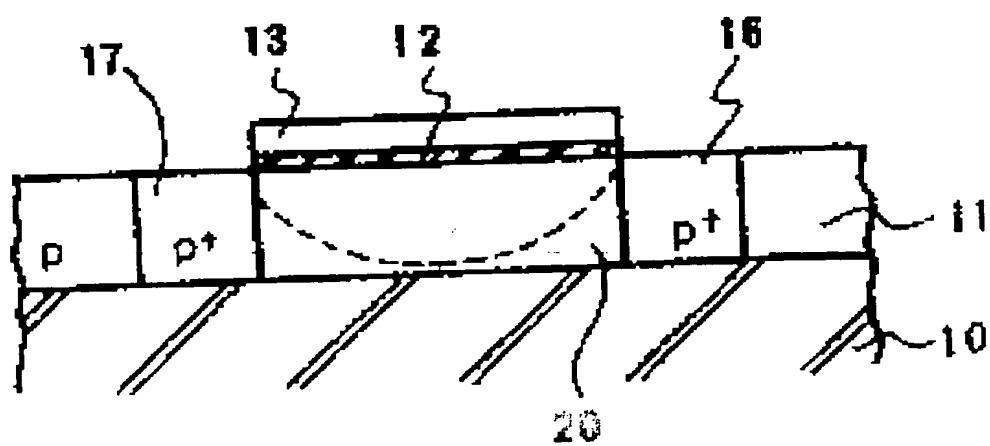
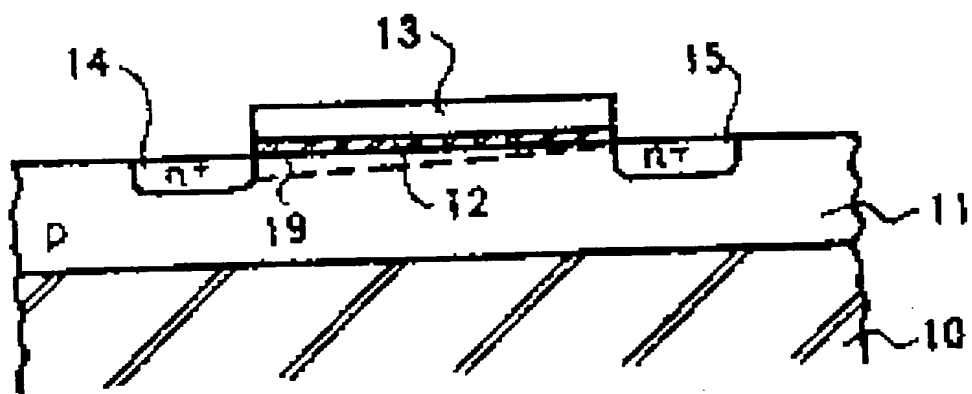
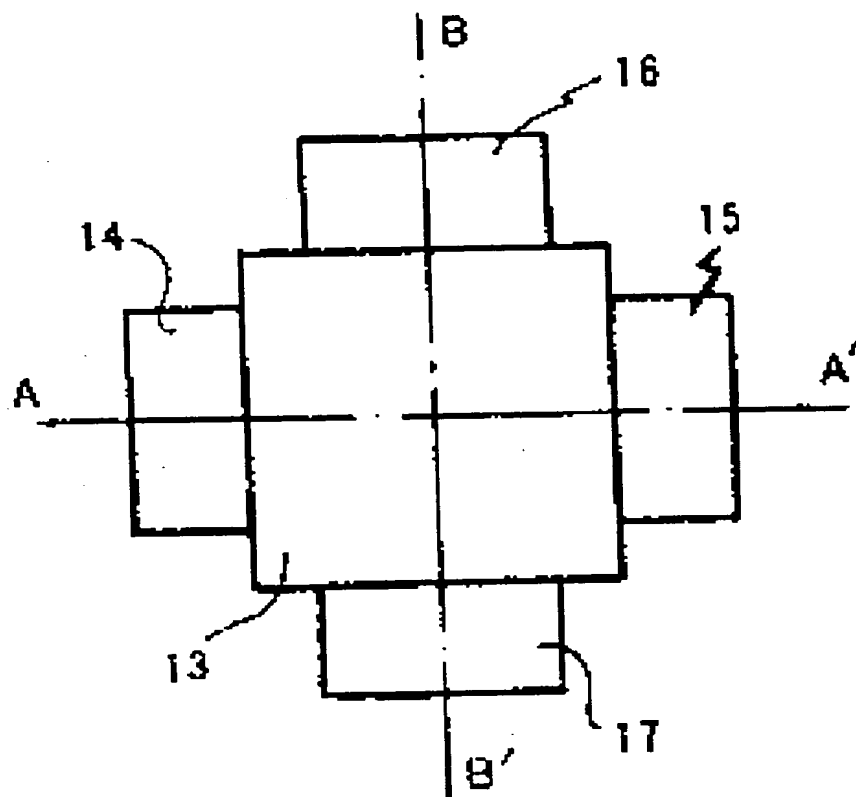


© EPODOC / EPO

PN - JP56021371 A 19810227
PD - 1981-02-27
PR - JP19790096947 19790730
OPD - 1979-07-30
TI - RECIPROCAL COMPENSATION TYPE MIS SEMICONDUCTOR
DEVICE
IN - ITOU TAKASHI
PA - FUJITSU LTD
EC - H01L27/092
IC - H01L27/08 ; H01L29/08 ; H01L29/60

© PAJ / JPO

PN - JP56021371 A 19810227
PD - 1981-02-27
AP - JP19790096947 19790730
IN - ITO TAKASHI
PA - FUJITSU LTD
TI - RECIPROCAL COMPENSATION TYPE MIS SEMICONDUCTOR
DEVICE
AB - PURPOSE: To reduce element occupancy area remarkably, by
forming a common gate section for two elements of a reciprocal
compensation type MIS device using a process which is simple and
easy to be controlled.
- CONSTITUTION: A p epitaxial layer 11 is provided and an n<+>-type
source 14, a drain 15, a p<+>-type source 16 and a drain 17 are
selectively formed, and then, a common gate insulation film 12 and
a gate electrode 13 are provided. A reversal channel 19 is formed
between the layers 14 and 15 in accordance with voltages
impressed on the p layer 11, the gate electrode 13, the source 14
and the drain 15. At this time, positive voltage is impressed onto the
gate 13. As the space between the source 16 and the drain is in
depletion at this time, if negative voltage is impressed onto the gate
electrode 13, an embedded channel 20 is formed and connected by
the voltage impressed on the space between the layers 16 and 17.
It is possible, by using this mechanism, to minimize an element
occupancy area, to heighten integration and also to easily set
threshold values of all the FETs so as to enable them to conduct
enhancement.
I - H01L29/78 ; H01L27/08 ; H01L29/08 ; H01L29/60



② 公開特許公報 (A)

昭56-21371

⑤ Int. Cl.³
H 01 L 29/78
27/08
29/08
29/60

識別記号

庁内整理番号
6603-5F
6426-5F
7514-5F
7638-5F

④ 公開 昭和56年(1981)2月27日

発明の数 1
審査請求 未請求

(全 4 頁)

③ 相補型MIS半導体装置

川崎市中原区上小田中1015番地

富士通株式会社内

① 特 願 昭54-96947

① 出 願 人

富士通株式会社

② 出 願 昭54(1979)7月30日

川崎市中原区上小田中1015番地

③ 発 明 者 伊藤隆司

③ 代 理 人

弁理士 玉島久五郎 外3名

明 細 書

1 発明の名称 相補型MIS半導体装置

2 特許請求の範囲

一導電型の半導体層（或いは基板）の反転層チャネル生成領域を介して対向する反対導電型のソース領域及びドレイン領域、前記反転層チャネル生成領域の下方であつて且つ該反転層チャネル生成方向と異なる方向に形成される埋込みチャネルの生成領域を介して対向する一導電型のソース領域及びドレイン領域、それ等チャネルを生成すべく形成された長溝のゲート電極を有してなることを特徴とする相補型MIS半導体装置。

3 発明の詳細な説明

本発明は、相補型MIS半導体装置（C-MISと呼ぶ）の改良に関する。

従来、C-MISは低消費電力用論理回路回路などとして広く用いられている。特に、C-MISインバータは理想的な入出力伝達性を示し、フアン・アウトが大きい特徴を併せ持つているので回路

設計が容易である。

第1図は従来のC-MISを説明するための装置側断面図である。

図に於いて、1は例えば $10^{18}(\text{cm}^{-3})$ 程度の濃度を有したp型シリコン半導体基板、2は拡散或いはイオン注入など適切な技法で例えば $10^{18}(\text{cm}^{-3})$ 程度の濃度を有したp型ワニル、3はpチャネル・トランジスタのソース領域、4はnチャネル・トランジスタのドレイン領域、5はnチャネル・トランジスタのソース領域、6はpチャネル・トランジスタのドレイン領域、7はpチャネル・トランジスタのゲート絶縁膜、8はnチャネル・トランジスタのゲート絶縁膜、9は例えば不純物含有多結晶シリコン或いは金属からなるpチャネル・トランジスタのゲート電極、10はゲート電極と同様なnチャネル・トランジスタのゲート電極をそれぞれ示す。

このような従来のC-MISではpチャネル・トランジスタとnチャネル・トランジスタを同一基板1上に形成しなければならないから、その製造

(1)

-299-

(2)

BEST AVAILABLE COPY

プロセスは複雑になり、 p 型ウェルを必要とするために素子占有面積が大になり、更にまた、製造プロセスの制御が如何に依つてはドレイン配圧が低下する場合もあり、そして、本質的には2素子で形成される従来のインバータでは p チャネル・トランジスタと n チャネル・トランジスタのそれぞれの閾値電圧をエンハンスメント動作可能であるように設定しなければならない。

本発明は、前記従来の装置の欠点を解消し、就中、素子占有面積を減少させることが可能であるようにするものであり、以下これを詳細に説明する。

第2図乃至第4図は本発明一実施例を示すものであり、第2図は要部平面図、第3図は第2図の線A-A'に於ける要部側断面図、第4図は第2図の線B-B'に於ける要部側断面図である。

図に於いて、10はサブファイアなどの絶縁性半結晶基板、11は基板10上にエピタキシャル成長させた p 型シリコン半導体層、12はゲート絶縁膜、13はゲート電極、14は n 型反転層チャネル、

(3)

ると第4図に見られる埋込みチャネル20が形成され、ソース領域16とドレイン領域17間は導通状態となる。尚、ソース領域16及びドレイン領域17には所要の電圧が印加されていることは勿論である。

前記説明から理解できるように、第3図に見られるトランジスタ部分と第4図に見られるトランジスタ部分とは補機型の動作をする。

ところで、前記実施例では、絶縁性半結晶基板10を用いたが、これはシリコン半導体基板に代替することもできる。第5図はその実施例であり、第4図と同様な断面をとつて示してある。尚、同部分には同記号で指示してある。

図に於いて、30は p 型シリコン半導体基板、31は n 型アイランド、32は p 型アイランドである。

本発明で採用するプロセス・パラメータは第1図従来例の場合と同様と考へてよいがC-MISプロセスで重要なゲート閾値電圧の設定は非常に容易になる。

今、第6図に見られるC-MISインバータを例

(5)

電界効果トランジスタの n^+ 型ソース領域、15は n 型反転層チャネル電界効果トランジスタの n^+ 型ドレイン領域、16は p 型埋込みチャネル電界効果トランジスタの p^+ 型ソース領域、17は p 型埋込みチャネル電界効果トランジスタの p^+ 型ドレイン領域、19は反転層チャネル、20は埋込みチャネルをそれぞれ示す。尚、本実施例では、半導体層11は p 型のものを挙げたが、これは n 型の場合であつても諸領域の導電型を考慮しさえすれば同様に考えることができる。

さて、前記実施例では、半導体層11、ゲート電極13、ソース領域14、ドレイン領域15への印加電圧に応じてソース領域14とドレイン領域15との間に反転層チャネル19が形成される。尚、この時、ゲート電極13に印加される電圧の極性は正である。

ところで、前記のように電圧を印加した場合に於いて、ソース領域16とドレイン領域17の間では正孔がダイブリートして変質層が形成される。そして、ゲート電極13に負極性の電圧を印加す

(4)

に於いて、41は n チャネル・トランジスタ、42は p チャネル・トランジスタであり、端子43は電極 V_{DD} に接続され、端子44は入力に、端子45は出力にそれぞれ接続されている。

図から明らかなように、 n チャネル・トランジスタ及び p チャネル・トランジスタ42のゲートは共通に接続されなければならないが、本発明では、補助的にゲートが一つになつていたので、それ独自の配線は不要である。

第7図は入力端子44と基板間の容量-電圧特性を概ね示す図であり、入力の電圧 V が V_1 で p 型シリコン半導体基板に反転層が形成され、従つて、その V_1 は n チャネル・トランジスタ41の閾値電圧であり、また、 V_2 は p 型シリコン半導体層が空乏化する電圧であつて p チャネル・トランジスタ42の閾値電圧となる。従つて、第8図に見られるように、入力電圧 V が V_1 より小さい場合はインバータ出力が高レベルであり、入力電圧 V が V_1 より大であるときにインバータ出力が低レベルとな

(6)

る通常のC-MIS動作を行うことになる。尚、この場合、常に $V_2 < V_1$ である。

本発明に於いて、ゲート電極を n^+ 型多結晶シリコンで形成し、ゲート絶縁膜の厚さを $1000(\text{\AA})$ とし、 p 型シリコン半導体層のアクセプタ濃度が $2 \times 10^{18}(\text{cm}^{-3})$ で厚さを $5000(\text{\AA})$ とした場合、 $V_1 = +0.5(\text{ボルト})$ 、 $V_2 = -0.5(\text{ボルト})$ であつて、理想的なC-MISインバータを形成することができた。そして、この素子は従来のものと比較すると占有面積が $\frac{1}{2}$ である。

以上の説明で判るように、本発明に依れば、相補型MIS半導体装置を構成する二つの素子のゲート部分が共通になつてゐるので、素子の占有面積は極めて少なくなり、高集積化するのに有利であり、しかも、製造プロセスが簡単でそのプロセス制御も容易であつて、アナチャネル・トランジスタとロチャネル・トランジスタそれぞれの閾値電圧をエンハンスメント動作可能であるように設定する困難さは皆無である。

4. 図面の簡単な説明

(7)

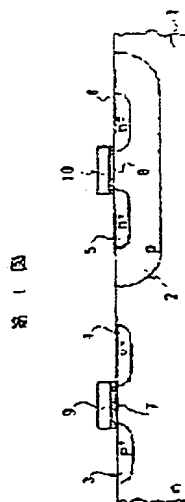


図 2

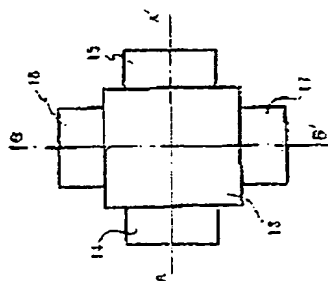
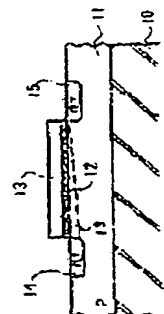


図 3



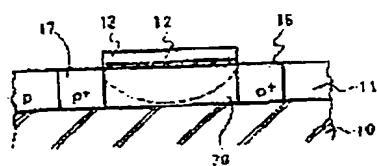
第1図は従来例の説明図、第2図は本発明一実施例の要部平面図、第3図は第2図の線A-A'に於ける断面図、第4図は第2図の線B-B'に於ける断面図、第5図は他の実施例に於ける第4図と同様な断面図、第6図はインバータの回路図、第7図は容量-電圧特性を設けず線図、第8図は入出力特性を設けず線図である。

図に於いて、10は基板、11は半導体層、12はゲート絶縁膜、13はゲート電極、14は n^+ 型ソース領域、15は n^+ 型ドレイン領域、16は p^+ 型ソース領域、17は p^+ 型ドレイン領域、19、20はチャネルである。

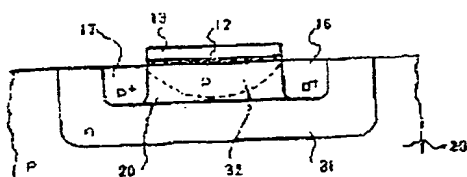
特許出願人 富士通株式会社
代理人 井堀士 玉 堀 久 五 郎
(外3名)

(8)

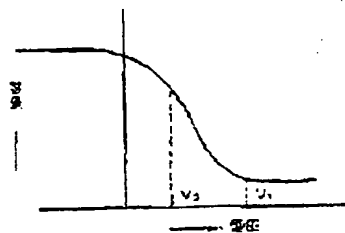
第 4 図



第 5 図



第 7 図



第 8 図

